



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06194690 A**(43) Date of publication of application: **15 . 07 . 94**

(51) Int. Cl.

G02F 1/136
G02F 1/13
G02F 1/1345

(21) Application number: **05252783**(22) Date of filing: **08 . 10 . 93**(30) Priority: **08 . 10 . 92 JP 04269961**(71) Applicant: **HITACHI LTD HITACHI PROCESS
COMPUT ENG INC**

(72) Inventor:
SATO HIDEO
HOSHINO MINORU
MORI YUJI
KOMURA SHINICHI
NAGAE KEIJI
NAGATA TETSUYA
ARIMOTO AKIRA
HAYASAKA AKIO
KATSUYAMA ICHIRO

(54) **LIQUID CRYSTAL LIGHT VALVE AND
PROJECTION TYPE DISPLAY FORMED BY
USING THE VALVE**

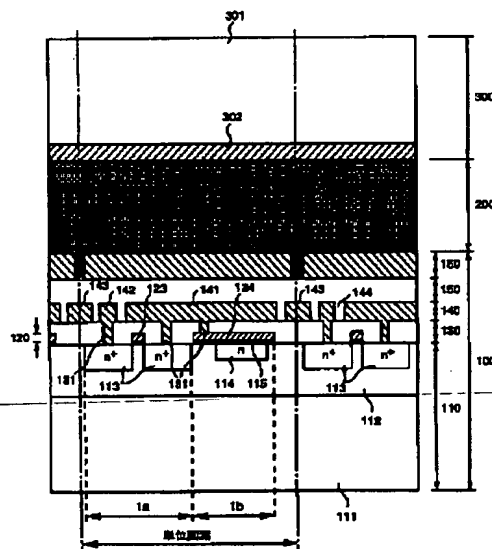
parallel with each other.

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To provide the liquid crystal light valve for which a semiconductor substrate is used and which has excellent light resistance and enables video signal writing at a high speed and to provide the projection type display which can display high-fineness and high-quality images.

CONSTITUTION: Three layers of metallic layers 140 divided by slit 144 are provided on the semiconductor substrate 100 having switching element regions and the slits 144 of the respective layers are shifted and disposed in a direction parallel with the semiconductor substrate 100 to shield the light of the semiconductor substrate. Two layers of metallic layers 160 divided by slits are provided on the semiconductor substrate 100 and semiconductor regions of a reference potential are provided in places where the incident light from the slits arrive at the semiconductor substrate. Substrate power feed lines for supplying the substrate potential to the substrate potential regions and holding capacity regions of the switching element regions are formed in any of the mentioned above metallic layer. The substrate power feed lines and video signal lines are disposed in



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-194690

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/13	5 0 5	9017-2K	
	1/1345		8707-2K	

審査請求 未請求 請求項の数15(全 12 頁)

(21)出願番号 特願平5-252783

(22)出願日 平成5年(1993)10月8日

(31)優先権主張番号 特願平4-269961

(32)優先日 平4(1992)10月8日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233158

日立プロセスコンピュータエンジニアリング株式会社

茨城県日立市大みか町5丁目2番1号

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

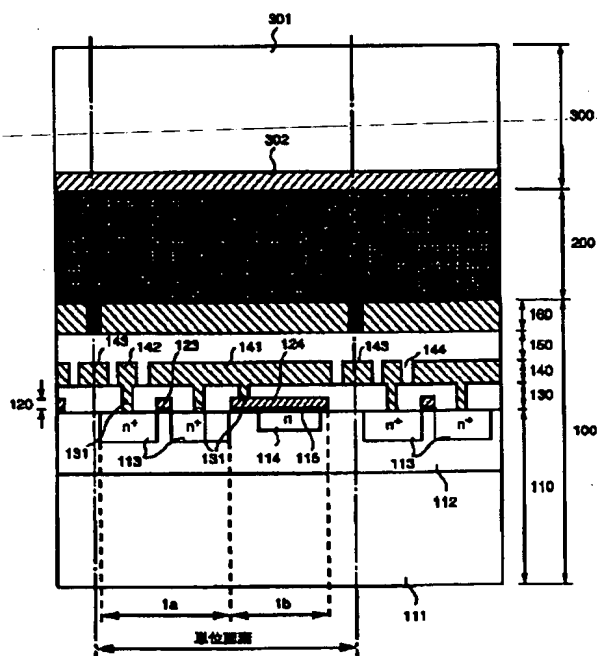
(54)【発明の名称】 液晶ライトバルブ及びそれを用いた投射型ディスプレイ

(57)【要約】

【目的】半導体基板を用いた耐光性に優れ、高速の映像信号書込みが可能な液晶ライトバルブを提供、高精細で高品質の画像が表示可能な投射型ディスプレイを提供すること。

【構成】スイッチング素子領域を有する半導体基板上にスリットで分割された金属層を3層設け、各層のスリットを半導体基板と平行な方向にずらして配置し、半導体基板を遮光した。半導体基板上にスリットで分割された金属層を2層設け、スリットからの入射光が半導体基板に達する場所に基準電位の半導体領域を設けた。スイッチング素子領域の基板電位領域及び保持容量領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した。前記基板給電線と映像信号線を互いに平行に配置した。

図 4



【特許請求の範囲】

【請求項1】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、前記第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、前記対向電極と第3の金属層との間の間隙に充填された液晶とからなり、

前記第1のスリット、第2のスリット及び第3のスリットは前記対向基板側から入射した光が半導体基板に達するのを防止するために半導体基板の一方の表面と平行な方向に互いにずれて配置されている液晶ライトバルブ。

【請求項2】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第2の金属層に間隙を有して対向する対向基板と、前記対向電極と第2の金属層との間の間隙に充填された液晶とからなり、

前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた液晶ライトバルブ。

【請求項3】特許請求の範囲第1項または第2項において、前記半導体基板の一方の表面に前記スイッチング素子領域の各々に対応して容量素子領域を設け、前記スイッチング素子領域の基板電位領域および前記容量素子領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した液晶ライトバルブ。

【請求項4】特許請求の範囲第3項において、前記スイッチング素子領域の映像信号入力端子部に映像信号を供給する映像信号線を前記金属層のいずれかで形成し、前記基板給電線と映像信号線を互いに平行に配置した液晶ライトバルブ。

【請求項5】特許請求の範囲第3項において、前記スイッチング素子領域にMOSトランジスタ、前記容量素子領域にMOS容量を形成した液晶ライトバルブ。

【請求項6】特許請求の範囲第1項または第2項において、前記第1の金属層、第2の金属層または第3の金属層の少なくとも一方の面に黒色層を設けた液晶ライトバルブ。

【請求項7】特許請求の範囲第2項において、前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所にN型領域及びこれと接するP型領域を設け、前記N型領域とP型領域を共に基準電位に接続した液晶ライトバルブ。

【請求項8】特許請求の範囲第1項または第2項において、前記半導体基板の一方の表面に前記複数のスイッチング素子領域に信号を供給する信号回路の領域を設けた液晶ライトバルブ。

10 【請求項9】特許請求の範囲第8項において、前記信号回路は、前記複数のスイッチング素子領域に映像信号を供給する回路及びスイッチング素子の制御信号を供給する回路である液晶ライトバルブ。

【請求項10】特許請求の範囲第8項において、前記信号回路は高耐圧CMOSトランジスタと低耐圧CMOSトランジスタで構成される液晶ライトバルブ。

20 【請求項11】特許請求の範囲第8項において、前記半導体基板の一方の表面で、前記信号回路の領域の周辺部に基板電位に接続した基板給電領域を設けた液晶ライトバルブ。

【請求項12】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、前記第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、

30 一方の表面に対向電極を有し、前記対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、前記対向電極と第3の金属層との間の間隙に充填された液晶とからなり、

前記第1のスリット、第2のスリット及び第3のスリットは前記対向基板側から入射した光が半導体基板に達するのを防止するために半導体基板の一方の表面と平行な方向にずれて配置された液晶ライトバルブと、前記液晶ライトバルブに前記対向基板側から照射される光を供給する光源と、

40 前記液晶ライトバルブからの反射光を拡大投射する光学系とを備えた投射型ディスプレイ。

【請求項13】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

50 前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第2の金属層に間隙を有して対向する対向基板と、

前記対向電極と第2の金属層との間の間隙に充填された液晶とからなり、
前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた液晶ライトバルブと、
前記液晶ライトバルブに前記対向基板側から照射される光を供給する光源と、
前記液晶ライトバルブからの反射光を拡大投射する光学系とを備えた投射型ディスプレイ。

【請求項14】特許請求の範囲第12項または第13項において、前記半導体基板の一方の表面に前記スイッチング素子領域の各々に対応して容量素子領域を設け、前記スイッチング素子領域の基板電位領域および前記容量素子領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した投射型ディスプレイ。

【請求項15】特許請求の範囲第12項または第13項において、前記半導体基板の一方の表面に前記複数個のスイッチング素子領域に信号を供給する信号回路の領域を設けた投射型ディスプレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧の振幅値で光の強さを制御する液晶ディスプレイに係り、特に投射型ディスプレイに好適な液晶ライトバルブ及びそれを用いた投射型ディスプレイに関する。

【0002】

【従来の技術】スイッチング素子と液晶を積層して光を制御するアクティブ・マトリクス方式による液晶ディスプレイにおいて、スイッチング素子として単結晶シリコン基板に形成したMOS (Metal Oxide Semiconductor) トランジスタを用いた液晶ディスプレイは、USP3,862,360及び、電子通信学会技術報告(1980)のIE80-81に記載されている。

【0003】MOSトランジスタに光が照射されると、MOSトランジスタのソースとドレインを形成するPN接合部に光電流が発生する。この光電流は表示部の液晶画素に書き込まれた映像信号を変化させ、表示すべき所定の画像を表示することができなくなってしまう。従って、単結晶シリコン基板に形成したMOSトランジスタを用いた液晶ディスプレイでは、表示画面に影響がないよう光電流を低減する必要がある。上記従来のディスプレイは、いずれもスイッチング素子で制御した画像を直接み方式であり、通常、室内で使用される。このため、ディスプレイパネル表面の照度が数万ルクスの光の影響を防止するだけで十分であった。

【0004】この光電流を低減するため、上記電子通信学会技術報告では、MOSトランジスタのソース領域を光の入射領域からできるだけ遠ざける配置にする、MOSトランジスタを形成するシリコン基板面を配線層2層で覆う、ストップ拡散層を設け、発生したキャリアを再

結合させるなどの方法が取られていた。

【0005】また、上記ディスプレイの表示サイズは、シリコンウェハの制約などから約2インチと小さいため、このようなディスプレイの画素数は、この表示サイズと認識できる解像度の点から4万程度であった。

【0006】

【発明が解決しようとする課題】上述したように、単結晶シリコン基板に形成したMOSトランジスタを用いた液晶ディスプレイは、直視型に限られていた。

【0007】一方、投射型ディスプレイでは、スイッチング素子と液晶を積層したパネルを液晶ライトバルブと称し、このライトバルブで制御した画像をスクリーンに拡大投影する。このため、ライトバルブに照射する光は、スクリーンに拡大する分だけ強くなり、その明るさは数百万ルクスにもなる。さらに、ライトバルブで制御する画素は拡大され画像が粗くなるため、ライトバルブの画素数は30万以上が要求される。

【0008】このように、投射型ディスプレイでは、シリコンなどの半導体基板に形成したトランジスタを用いる液晶ライトバルブを用いた場合、液晶ライトバルブの耐光性を高めることと、画素数の増加によって各画素により高速で映像信号を書き込むことが要求される。

【0009】本発明はこのような現状を鑑みてなされたものであり、その目的は、シリコンなどの半導体基板を用い、強力な照射光の影響を受けず耐光性に優れた液晶ライトバルブを提供すること、高速で映像信号を書き込むことが可能な液晶ライトバルブを提供すること、さらにこのような液晶ライトバルブを用いて高精細で明るい、高品質の画像を表示する投射型ディスプレイを提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明では液晶ライトバルブを以下のように構成した。

【0011】一方の表面にマトリクス状に形成された複数個のスイッチング素子領域を有する半導体基板と、半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、対向電極と第3の金属層との間の間隙に充填された液晶とからなり、対向基板側から入射した光が半導体基板に達するのを防止するよう、第1のスリット、第2のスリット及び第3のスリットを半導体基板の一方の表面と平行な方向に互いにずらして配置した。

【0012】また、一方の表面にマトリクス状に形成さ

れた複数個のスイッチング素子領域を有する半導体基板と、半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、対向電極側が第2の金属層に間隙を有して対向する対向基板と、対向電極と第2の金属層との間の間隙に充填された液晶とからなり、対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた。

【0013】また、半導体基板の一方の表面にスイッチング素子領域の各々に対応して容量素子領域を設け、スイッチング素子領域の基板電位領域および容量素子領域に基板電位を供給する基板給電線を金属層のいずれかで形成した。

【0014】さらに、スイッチング素子領域の映像信号入力端子部に映像信号を供給する映像信号線を金属層のいずれかで形成し、基板給電線と映像信号線を互いに平行に配置した。

【0015】

【作用】金属層は照射される光を反射するので、半導体基板の一方の表面に入射する光を弱め、スイッチング素子領域に流れる光電流を大幅に低減できる。

【0016】基準電位に接続した半導体領域に光が照射されて発生した光電流は、基準電位側の配線部に流れて消費され、スイッチング素子領域には影響を及ぼさない。

【0017】基板給電線と映像信号線を金属層で形成し、両配線を互いに平行に配置することにより、これらの配線のインピーダンスが低減され、各画素への映像信号の書き込みを高速にできる。

【0018】液晶ライトバルブのスイッチング素子が照射光の影響を受けず、映像信号書き込み速度の高速化により画素数を増やすことができるので、高精細で明るい、高品質の画像を表示する投射型ディスプレイを提供することができる。

【0019】

【実施例】図1は投射型ディスプレイに用いる液晶ライトバルブの回路構成を示したものである。このライトバルブは、画素回路1、サンプル回路2、水平走査回路3、垂直走査回路4、ANDゲート5によって構成される。画素回路1は、複数の第1の信号線（走査信号線）11、これと交差する複数の第2の信号線（映像信号線）12、第2の信号線の隣に設けた第3の信号線（基板給電線）13及び第1の信号線と第2、第3の信号線の交差部に設けたMOSトランジスタ1a、保持容量1b及び液晶容量1cからなっている。1組のMOSトランジスタ1a、保持容量1b、液晶容量1cは1つの画素を形成し、全体として水平方向にM個、垂直方向にN

個、画素をマトリクス状に配列している。この画素配列数のM×Nは1例として640×480である。このMOSトランジスタ1aのゲート電極には第1の信号線11を介して走査信号Vg1～VgNが、ドレイン電極には第2の信号線12を介して輝度信号Vd1～VdMが、またソース電極には保持容量1bの一方の電極及び液晶容量1cの一方の電極（反射電極）が接続される。さらに、保持容量1bの他方の電極は第3の信号線13を介して基板電圧を給電する電圧VSSに接続されている。液晶容量1cは、画素回路1を形成した基板とこれと対向して設けられる対向基板との間に液晶を充填して形成される液晶素子の等価容量である。

【0020】水平走査回路3は、クロック信号CLKとスタート信号STAを入力してM相の多相信号PH1～PHMを出力する。サンプル回路2はMOSスイッチで構成し、MOSスイッチのゲート電極は出力信号PH1からPHMと、MOSスイッチのドレイン電極は極性の異なる映像信号VI1又はVI2と接続して、MOSスイッチのソース電極に輝度信号Vd1からVdMを出力する。

【0021】垂直走査回路4は、クロック信号CKVとスタート信号FSTを入力してN相の多相信号PV1～PVNを出力している。ANDゲート5は、多相信号PV1～PVNと制御信号CNTを入力し、走査信号Vg1～VgNを出力する。

【0022】水平走査回路3とサンプル回路2は遮光層6で、また垂直走査回路4とANDゲート5は遮光層7でそれぞれ覆われ、遮光層6、7を前記対向電極の電圧COMに接続している。

【0023】以上のように構成した液晶ライトバルブの動作を、図2に示すタイミングチャートを用いて説明する。垂直走査回路4のスタート信号FSTは表示する映像のフレーム先頭を示しており、クロック信号CKVは走査線の切り替えタイミングを示している。垂直走査回路7は、前記クロック信号CKVの立ち上がりのタイミングでスタート信号FSTを取り込み、多相信号PV1～PVNを出力する。ANDゲート5は、多相信号PV1～PVNと制御信号CNTを入力して、画素回路の走査信号Vg1～VgNを出力する。ここで、1ライン毎に走査する順次走査の時はCNTを“H”にすることで、走査信号Vg1～VgNを多相信号PV1～PVNと等して、マトリクス状に配置した画素回路1を垂直方向に順次選択している。

【0024】一方、2ライン毎に走査する2ライン同時走査の場合は、クロック信号CKVに2個連続パルスのダブルクロックを使用する。制御信号CNTはこのダブルクロック期間だけ“L”にして多相信号を遮断するようにしている。これは多相信号がダブルクロック期間に一瞬だけ組み合わせが異なり、このとき保持容量に書き込まれた電圧が変動するので制御信号CNTでこの変動

を防止している。

【0025】映像信号V I 1, V I 2は、対向電極の電圧COMを基準に変化する信号であり、その極性は互いに逆相でさらに、フレーム毎に反転している。

【0026】水平走査回路3のスタート信号STAは走査線の先頭を示している。水平走査回路3は、垂直走査回路4と同様にクロック信号CLKの立ち上がりのタイミングでスタート信号STAを取り込み、多相信号PH1~PHMを出力する。

【0027】サンプル回路2は、映像信号V I 1, V I 2を相信号PH1~PHMのタイミングで順にサンプリングし、輝度信号V d 1~V d Mを出力する。

【0028】輝度信号V d 1~V d Mは、マトリクス状に配置された画素回路1に列毎に入力される。このとき、走査信号V g 1~V g Nで選択された画素回路1のMOSトランジスタだけがオン状態なので選択された行の画素回路の保持容量1 bに輝度信号V d 1~V d Mが書き込まれ、ホールドされる。保持容量1 bにホールドした電圧は液晶に印加されるので、液晶ライトバルブは映像信号V I 1, V I 2に応じた映像を表示できる。 * 20

$$T_s = 1 / (M \times N \times 60)$$

この式から、サンプリング時間は、従来の画素数の4万画素では約400nsであるのに対し、投射型ディスプレイに要求される30万画素では約50nsと短くなることが分かる。

【0032】MOSトランジスタを用いた従来の液晶ディスプレイでは、第3の信号線13を特別には設けておらず、シリコン基板または拡散層を電流経路として用いる構造になっていた。しかし、この部分のシート抵抗は拡散抵抗でも数百Ωとなり、投射型ディスプレイ用液晶ライトバルブの画素回路のピッチを約60μmとすると、基板給電線の抵抗は数100kΩ以上となる。このため、従来の基板給電線では高速の書き込みが不可能であった。一方、本発明では後述するように、この基板給電線(第3の信号線)に金属配線層を用いて、基板給電線の抵抗を数100Ωに低減している。

【0033】つぎに、液晶ライトバルブを構成する走査回路と、その動作について説明する。図3は、液晶ライトバルブの水平、垂直走査回路の構成を示すものである。この回路は、Dタイプのフリップ・フロップFF、インバータINV、レベル変換回路LSから構成されている。これらの回路は、水平走査回路がM段、垂直走査回路がN段あり、FFを直列に接続することでシフトレジスタを構成している。レベル変換回路LSは、ソースをVDDに接続した2個のPMOSトランジスタ(MP1, MP2)とソースをVSSに接続した2個のNMOSトランジスタ(MN1, MN2)で構成し、フリップ・フロップFFの出力はMP1のゲートに接続するとともに、インバータINVで逆相にしてMP2のゲートに接続している。MN1とMN2のゲートは互いに接続す

* 【0029】ここで、保持容量1 bの充電電流は、映像信号V I 1からサンプル回路のMOSスイッチ、第2の信号線12、画素回路のMOSトランジスタ1 a、保持容量1 b、第3の信号線13を通して基板給電端子VSSに流れる。この時の充電時間を速くするには、上記充電経路に於ける直列抵抗、インダクタンス、配線の寄生容量を小さくすることが効果的である。

【0030】保持容量1 bへの充電速度について詳細に説明する。保持容量1 bにホールドした電圧は、走査信号と輝度信号によるクロストークノイズ、MOSトランジスタのオフ電流、液晶の抵抗によるリーク電流などによって変化する。このため、ホールド時間が長くなると表示した画像にフリッカが生じる。通常、このフリッカを防止するため、スタート信号FSTの周期は1/60秒に設定される。このとき、サンプル回路2のサンプリング時間Tsは、水平方向の画素数をM、垂直方向の画素数をNとすると概略次式で示される。

【0031】

【数1】

… (数1)

るとともに、MN1とMP1のドレインにも接続する。さらに、MN2とMP2のドレインを互いに接続し、この点を走査回路の出力PH(PV)としている。この構成によって、FFの出力が“H”(VDD)のとき、MP1とMN2がオフ、MP2がオンとなり、出力PH(PV)はVDDとなる。一方、FFの出力が“L”(GND)のとき、MP1とMN2はオン、MP2はオフとなり、出力PH(PV)はVSSとなる。この様にしてレベル変換回路LSは0-VDDの信号をVSS-VDDの信号に変換している。

【0034】ここで、レベル変換回路LSはVDD(+5V)-VSS(-15V)の電源で動作する高耐圧CMOSトランジスタで構成され、FFとINVはVDD(+5V)-0の電源で動作する低耐圧CMOSトランジスタで構成されている。

【0035】次に、本発明の液晶ライトバルブのデバイス構造を詳細に説明する。

【0036】図4は本発明の第1の実施例の断面図である。液晶ライトバルブは単結晶シリコン板の一方の表面に、エンハンスメント形のNMOSトランジスタで構成されたMOSトランジスタ1 a、MOS容量で構成された保持容量1 b及び反射電極などから構成される画素回路1を形成した第1の基板100と、ガラスなどの透明な材料からなる対向基板301の一方の表面にITO(Indium-tin-oxide)などの透明導電材料からなる対向電極302を形成した第2の基板300との間に液晶200を充填したものである。図1に示すサンプル回路2、水平走査回路3、垂直走査回路4及びANDゲート5も画素回路1と同じく第1の基板表面に形成される。

【0037】第1の基板100は、一方の表面側にMOSトランジスタ1aを構成するソース領域、ドレイン領域及び保持容量1bの一方の電極となる領域を形成した単結晶シリコン板111と、単結晶シリコン板111上に選択的に形成されたポリシリコン層120と、ポリシリコン層120上に形成された第1の絶縁層130と、第1の絶縁層130上に形成され第1の絶縁層130を貫通して単結晶シリコン板111表面及びポリシリコン層120にコンタクトする第1の金属層140と、第1の金属層上に形成された第2の絶縁層150と、第2の絶縁層上に形成された第2の金属層160から構成されている。第1の金属層140及び第2の金属層160は例えばアルミニウムによって形成されている。

【0038】単結晶シリコン板111は、一対の表面を有し、一方の表面に隣接するn型半導体層111と、他方の表面とn型半導体層111とに隣接するp型半導体層112と、他方の表面からp型半導体層112内に延びるように形成された複数対のn⁺領域113と、n⁺領域113から離れた箇所において他方の表面からp型半導体層112内に延びるように形成された複数個のn領域114とから構成されている。複数対のn⁺領域113はそれぞれMOSトランジスタ1aのソース領域・ドレイン領域となるもので、図5に示すように各単位画素となる箇所（一点鎖線で示す）に一对一つ設けられている。また、複数個のn領域114は保持容量1bの一方の電極となるもので、各単位画素となる箇所に一個ずつ設けられている。

【0039】ポリシリコン層120は単結晶シリコン板111の一方の表面上に酸化シリコン層115を介して選択的に形成されている。具体的には、一対のn⁺領域113間に露出するp型半導体層112上、n領域114及びその近傍のp型半導体層112上に形成され、MOSトランジスタ1aのゲート電極や第1の信号線（走査信号線）の一部を構成する部分123と、保持容量1bの他方の電極となる部分124とを有している。保持容量1bは、n領域114とポリシリコン層124及びこれらの間に介在された酸化シリコン層115によって構成されている。

【0040】第1の絶縁層130上に形成された第1の金属層140は、スリット144によって複数個に分割され、MOSトランジスタ1aと保持容量1bとを接続する配線141、第2の信号線142、第3の信号線143を構成している。配線141は第1の絶縁層130に設けたコンタクトホール131を貫通して一対のn⁺領域113の一方及びポリシリコン層124に、第2の信号線142は第1の絶縁層130に設けたコンタクトホール131を貫通して一対のn⁺領域113の他方に、それぞれコンタクトしている。また、第2の信号線142は第1の絶縁層130に設けたコンタクトホール131を貫通してp型半導体層112にもコンタクトし

ている。

【0041】第2の金属層160は反射電極となるもので、各単位画素と略同形状を有し、各画素毎にスリット162によって分離された複数個の画素電極161を構成している。図には記載していないが、画素電極161は第2の絶縁層150に設けたスルーホール151を介して配線141とコンタクトしている（図7参照）。従って、MOSトランジスタのn⁺領域113の一方（ソース領域）は、コンタクトホール131及びスルーホール151により配線141を介して画素電極161に接続され（図7参照）、画素電極161に与える電圧をMOSトランジスタ1aによってスイッチングする。

【0042】ここで、配線141と画素電極161は、対向基板300の側から液晶ライトバルブに照射される光に対するMOSトランジスタ1aの遮光と、画素電極の表面の凹凸を低減するため、共にパターン同士の間隔を最小にしてその面積が極力大きくなるようレイアウトしている。すなわち、第1の金属層140及び画素電極161間のスリットの面積をできるだけ小さくし、これらスリットから入射する光量を少なくして遮光効果を向上している。また、第1の金属層140に設けたスリット144の幅を小さくすることにより、その上に塗布などによって形成される第1の絶縁層表面の凹凸、更にその上に形成される第2の金属層表面の凹凸を共に小さくする、と共に反射電極となる画素電極161の表面の凹凸を低減する。これにより、液晶ライトバルブに光源から照射された光は画素電極161で乱反射されず、有効に利用されてスクリーンに投射されるため、明るい画像を形成することができる。

【0043】図中には一画素の領域が示されている。本実施例では、2 μ mの高耐圧プロセスを用い、各画素の大きさを水平方向、垂直方向ともにそれぞれ64 μ mとしている。

【0044】図5及び図6は、第1の基板100に形成された各種パターンの平面構造を示す。図5は、シリコン基板110の表面に形成したMOSトランジスタの拡散層113、保持容量の拡散層114などの拡散層、及びその上に形成したポリシリコン層120の平面パターンを示す。また、図6は図5のパターンの上に第1の絶縁層130及び第2の絶縁層150を介して形成された第1の金属層140及び第2の金属層160の平面パターン、各金属層を電氣的に接続するために第1の絶縁層130及び第2の絶縁層150に形成されたコンタクトホール（CONT）131、スルーホール（TC）151のレイアウトパターンを示す。コンタクトホール131は拡散層又はポリシリコン層と第1の金属層を、またスルーホール151は第1の金属層と第2の金属層をそれぞれ接続する。前述の図4は、図5に示すIV-IV線に沿った断面を示す。

【0045】第1の金属層で形成される配線141、第

2の信号線142、第3の信号線143はスリット144によって、また、第2の金属層で形成される複数の画素電極（反射電極）161は同層に形成されたスリット162によって互いに分離されている。

【0046】第1の信号線は、MOSトランジスタのポリシリコン層123を、第1の金属層で形成される第1の信号線の金属層部145で互いに接続して形成される。両者の接続は、第1の絶縁膜に形成されたコンタクトホール131を通じてなされる。

【0047】本発明の液晶ライトバルブは、対向基板300側から照射される強力な光を画素電極161で反射する反射型であり、この反射光の強さを液晶200の状態制御している。例えば、液晶200にポリマー分散型液晶を使用すると、画素電極161の電圧によって、液晶200は散乱状態から透明状態に変化する。このため、各画素の反射率は、液晶200が透明状態のときに高く、散乱状態のときに低くなる。本ライトバルブは、この液晶の状態を画素電極161の電圧で制御することで映像を表示している。

【0048】次に、照射光に対する遮光について説明する。半導体のpn接合部に光が照射されると、光電流が発生する。この光電流が問題となるのは、MOSトランジスタの拡散層113のソース電極部である。このソース電極部に光電流が流れると、保持容量1bに書き込んだ電圧が変化し、所定の表示画像が得られなくなる。このため、MOSトランジスタ1aの拡散層113への光を第1の金属層140と第2の金属層160で遮光している。特に、図4及び図6に示すように、画素電極161の電極間スリット162を通過する光は、第3の信号線143の配線幅を電極間スペースより十分広くとり、これを電極間スペースの直下に配置することで遮光している。

【0049】図7は図5、図6におけるVII-VII断面構造で、MOSトランジスタ1aのソース電極部を垂直方向に見たものである。画素電極161の電極間スリット162を通過する光は、画素電極161と対応した配線141をスリット162の下まではみ出させるように配置することで遮光している。

【0050】図8は図5、図6におけるVIII-VIII断面構造であり、第1の金属層140のスリット部を示す。この領域には上述の第1の金属層140及び第2の金属層160によっても遮光されず、第1の金属層に形成されたスリット144と第2の金属層に形成されたスリット162を通過してシリコン基板110の表面に直接光が照射される部分が含まれている。この直接光は、配線141、第2の信号線142、第3の信号線143の各パターン間のスリットを通り、その下のn+層116に照射される。保持容量の拡散層114と第3の信号線143との接続は、オーミックコンタクトを確保するためn+層116を介して行われる。照射光はn+層116

とp型のウェル層112のpn接合部で光電流に変換される。上述のように、このp型のウェル層112とn+層116は共に第3の信号線（基板給電線）143に接続され、最下位電圧（VSS）に給電されているので、pn接合部で発生した光電流は、p型ウェル層を通じて第3の信号線を流れ消費される。この結果、光電流は、MOSトランジスタの拡散層113、特にソース領域には流れないので、保持容量1bに書き込んだ電圧を安定にホールドでき、投射ディスプレイのように強力な光が照射されても、画質の劣化がない。

【0051】また、第1の絶縁層130と第2の絶縁層150のうち少なくとも1層に光吸収性の絶縁層を用いることでも光電流を低減できる。この光吸収性の絶縁層には、着色したポリイミドなどが使用できる。さらに、第1の金属層であるアルミニウム層の表面や裏面、又は第2の金属層であるアルミニウム層の裏面に黒色材料からなる層を設け、各配線層と同一形状にパターン化することでも光電流を低減できる。この黒色材料には、酸化クロム、タンタルオキシサイド等が使用できる。次に、保持容量1bへの充電速度について説明する。上述のように、第2の信号線142はMOSトランジスタの拡散層113のドレイン領域に、また第3の信号線143は保持容量の拡散層114及びp型ウェル層112にそれぞれコンタクトホール131を介して接続されている。このような素子構造により、保持容量1bに充電するときの電流経路は第2の信号線142→MOSトランジスタ1a→保持容量1b→第3の信号線143となる。第2の信号線142と第3の信号線143は、互いに平行になるように配置されている。従って、第2の信号線と第3の信号線を流れる電流は互いに逆向きになるため、両配線が外部に形成する磁界は互いに打ち消しあい、配線のインダクタンスが小さくなる。また、第2の信号線と第3の信号線に金属配線層を用いたことで配線抵抗が低減される。以上のような構成により、充電時における配線部のインピーダンスが小さくなり、保持容量への映像信号の書き込みを高速にできる。

【0052】次に、図9、図10を用いて本発明の液晶ライトバルブの他の実施例を説明する。図4～図8に示した実施例と異なるのは、金属層を3層構造にして、配線141と反射電極となる画素電極の間に別の遮光層を設けている点である。ただし、図5に示す画素回路の拡散層とポリシリコン層のパターンは前の実施例と同じである。

【0053】図9は本実施例の液晶ライトバルブの断面図である。本実施例では、第2の信号線142、第3の信号線143、配線141を形成した第1の金属層140の上に第1の絶縁層150を介して遮光層163及び中間電極164を形成した第2の金属層を設け、さらにその上に第2の絶縁層170を介して画素電極（反射電極）181を設けている。遮光層163と中間電極16

4はスリット162で、また画素電極同士はスリット182で互いに隔てられている。MOSトランジスタの拡散層113のソース領域はスルーホール131によって配線141と、配線141はスルーホール151によって中間電極164と、そして中間電極164はスルーホール171によって画素電極181とそれぞれ接続される。画素電極に与えられる電圧は、MOSトランジスタ1aによってスイッチングされる。

【0054】図10は第1の金属層140、第2の金属層160及び第3の金属層180における各パターンの平面構造を示す。図9は図10におけるIX-IX断面図である。

【0055】図9、図10から分かるように、最上層の第3の金属層180で形成された画素電極181の電極間スリット182から入射する光は第2の金属層160で形成された遮光層163で完全に遮断される。すなわち、対向基板300側から見た場合、第3の金属層180に形成されたスリット182及び第2の金属層160に形成されたスリット162は互いにオーバーラップすることなくずれて配置されているので、第2の基板300側から入射した光は第3の金属層または第2の金属層のいずれかで反射されてシリコン基板110には到達しない。

【0056】以上のように、本実施例では第2の基板側から入射する光を第1の基板の上層に設けた第2の金属層及び第3の金属層で遮断した。入射光がシリコン基板に達するのを防止するには、第1の金属層、第2の金属層及び第3の金属層のそれぞれに形成されるスリット部が互いにオーバーラップすることがないようにずらせて配置すればよい。

【0057】また、図9、図10の構成において、第1の絶縁層130、第2の絶縁層150、第3の絶縁層170のうち少なくとも1層に光吸収性の絶縁層を用いることも光電流を低減できる。この光吸収性の絶縁層には、着色したポリイミドなどが使用できる。さらに、第1の金属層140、第2の金属層160、第3の金属層180の少なくとも1層の裏面又は表面に黒色材料の層を設け、各金属層と同一の形状にパターン化することでも光電流を低減できる。この黒色の材料には、酸化クロム、タンタルオキシサイド等が使用できる。

【0058】次に、本発明の液晶ライトバルブの実装について説明する。図11と図12はセラミック基板上に実装した液晶ライトバルブの平面構造と断面構造の一例を示している。

【0059】前述の単結晶シリコン基板の表面に画素回路、水平走査回路、垂直走査回路などを形成した第1の基板100は、回路部を上にして導電性ペーストでセラミック基板500に接着される。第1の基板100と、これと対向して設けた第2の基板300との間には液晶200を挟持する。液晶200はその周辺部に設けたシ

ール材510によってシールされ、外界の湿度などから保護される。

【0060】第1の基板の周辺部に設けた信号端子は、ワイヤボンディングでセラミック基板上に形成した配線パターンと接続される。また、第2の基板300の表面に設けた対向電極302とセラミック基板上の配線パターンとの接続には導電性ペースト530を用いている。第1の基板上のワイヤボンディング位置は、図11に示すように同基板の上辺部と左辺部とし、第2の基板表面の対向電極とのコンタクト位置は右辺部としている。ワイヤボンディング位置を2辺以下にすることで各基板とワイヤボンディング部の距離を小さくできる。

【0061】フレキシブルプリント基板550は半田540によってセラミック基板500の配線パターンと接続され、液晶ライトバルブの制御信号を供給する。

【0062】図13は本発明の液晶ライトバルブを適用した投射型ディスプレイの構成を示す。本投射型ディスプレイは、光源700、第1のレンズ710、ミラー720、第2のレンズ730、液晶ライトバルブ740、投射レンズ750、スクリーン760で構成される。光源700からの光は第1のレンズ710でミラー720の位置に集光される。この光は第1のレンズ730で平行光とされ、液晶ライトバルブ740に照射される。液晶ライトバルブでは照射された光の反射状態を各液晶画素に印加する電圧によって制御し、液晶ライトバルブからの反射光を第1のレンズ730と投射レンズ750を介して、スクリーン760に拡大投影して画像を形成する。

【0063】また、光源からの光束を光の3原色の3つの光束に分解し、それぞれの光束に対して液晶ライトバルブを設け、3つの液晶ライトバルブからの反射光を再び合成、拡大投射することによりカラー表示の投射型ディスプレイを得ることができる。光の3原色への分解、3つの液晶ライトバルブからの反射光の合成は、例えばダイクロイックミラーを用いて同時に行うことができる。

【0064】以上、単結晶シリコン基板を用いた液晶ライトバルブ、及びこれを用いた投射型ディスプレイについて説明したが、本発明は単結晶シリコン基板のかわりに絶縁基板上に半導体層を形成した基板や化合物半導体基板を用いても可能であることは言うまでもない。

【0065】

【発明の効果】本発明によれば、MOSトランジスタなど能動素子を形成したシリコンなどの半導体基板を用いた液晶ライトバルブ及びこれを用いた投射型ディスプレイにおいて、画素回路部の半導体表面を金属配線層による信号線や画素電極など複数の遮光層で遮光し、さらに金属配線層による信号線や画素電極などで遮光できない光は基準電位に接続した半導体基板の拡散層に照射されるように配置したので、画素回路部の能動素子に流れる

光電流を大幅に低減できる。さらに、各画素に映像信号を供給する信号線と基板給電線に金属配線を用い、これらを互いに平行に配置したので、信号線のインピーダンスを低減でき画素への信号の書き込みを高速にできる。これらの結果、光輝度で、高精細な投射型ディスプレイに適用可能な液晶ライトバルブ、及びこれを用いた投射型ディスプレイが実現できる。

【図面の簡単な説明】

【図1】液晶ライトバルブの回路構成を示す図である。

【図2】液晶ライトバルブの動作を示すタイミングチャートである。

【図3】液晶ライトバルブを構成する走査回路の詳細回路を示す図である。

【図4】本発明の液晶ライトバルブの一実施例における断面図（図5、図6のIV-IV断面図）である。

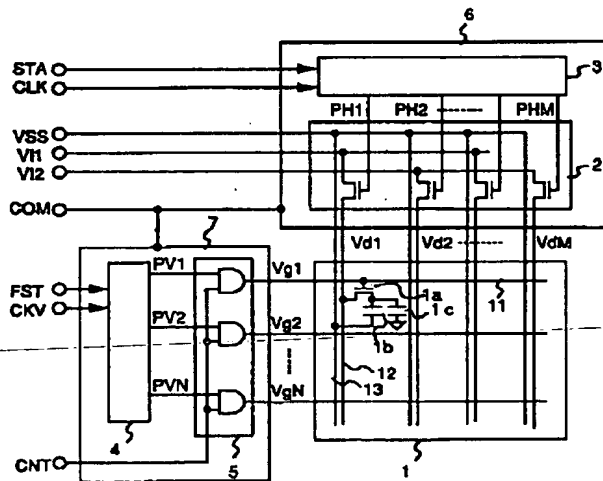
【図5】本発明の液晶ライトバルブの一実施例における画素回路の拡散層及びポリシリコン層のレイアウト図である。

【図6】本発明の液晶ライトバルブの一実施例における画素回路の第1の金属層、第2の金属層のレイアウト図である。

【図7】図5、図6のVII-VII断面図である。

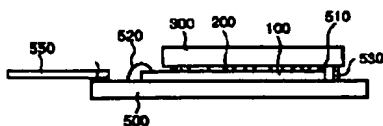
【図1】

図 1



【図12】

図 12



【図8】図5、図6のVIII-VIII断面図である。

【図9】本発明の液晶ライトバルブの他の実施例における断面図（図10のIX-IX断面図）である。

【図10】本発明の液晶ライトバルブの他の実施例における画素回路の第1の金属層、第2の金属層及び第3の金属層のレイアウト図である。

【図11】セラミック基板上に実装した液晶ライトバルブの平面構造を示す図である。

【図12】セラミック基板上に実装した液晶ライトバルブの断面構造を示す図である。

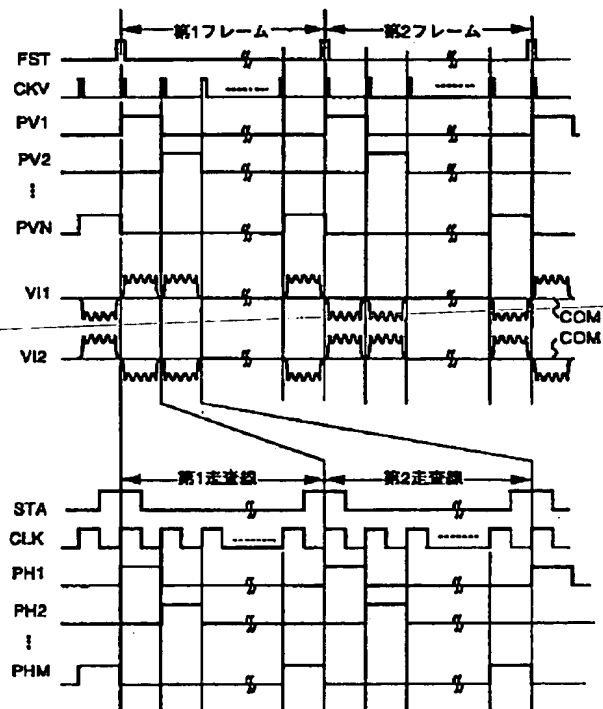
【図13】液晶ライトバルブを適用した投射型ディスプレイの構成を示す図である。

【符号の説明】

1…画素回路、1a…MOSトランジスタ、1b…保持容量、1c…液晶容量、2…サンプル回路、3…水平走査回路、4…垂直走査回路、5…ANDゲート、6、7…遮光層、100…第1の基板、110…シリコン基板、120…ポリシリコン層、130…第1の絶縁層、140…第1の金属層、150…第2の絶縁層、160…第2の金属層、170…第3の絶縁層、180…第3の金属層、200…液晶、300…第2の基板。

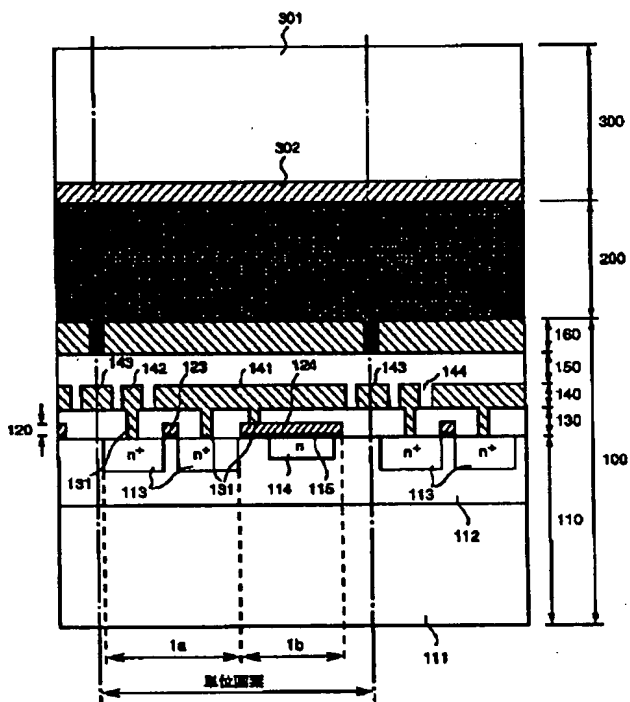
【図2】

図 2



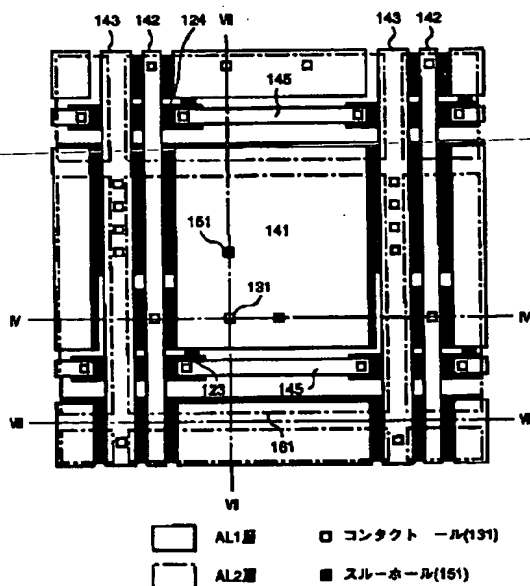
【図4】

4



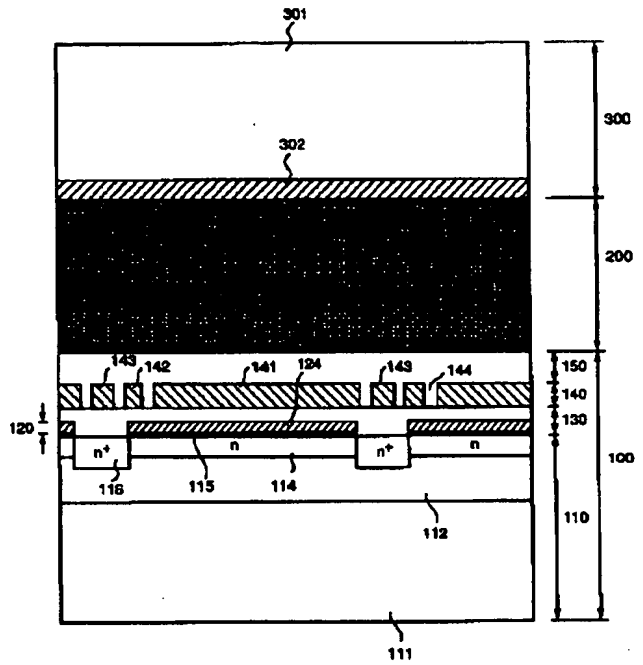
【図 6】

24 6



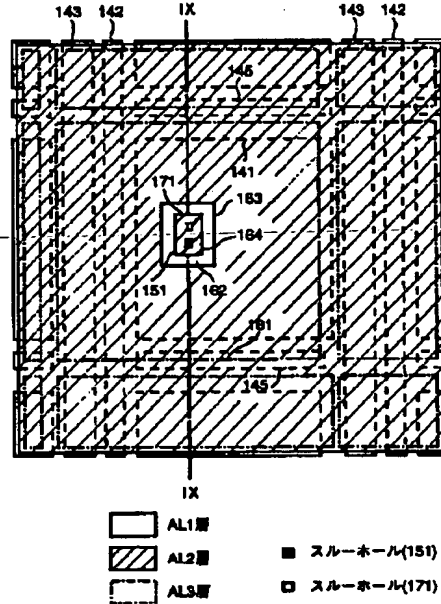
【図 8】

8



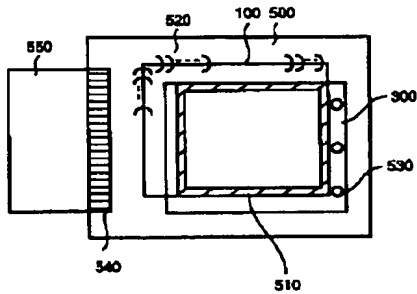
【図 10】

10



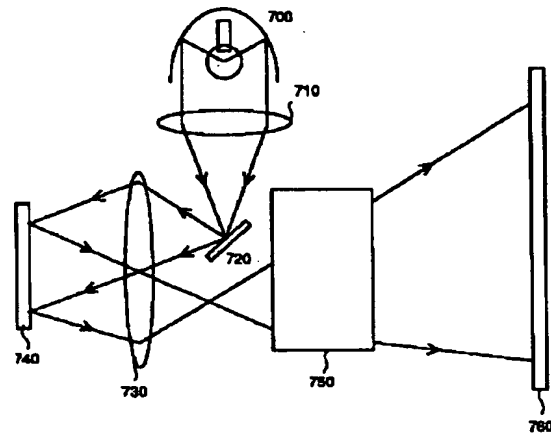
【図11】

図 11



【図13】

図 13



フロントページの続き

(72)発明者 星野 稔
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 森 祐二
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 小村 真一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 長江 慶治
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 永田 徹也
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 有本 昭
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 早坂 昭夫
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 勝山 一郎
茨城県日立市大みか町五丁目2番1号 日
立プロセスコンピュータエンジニアリング
株式会社内